

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-113826

(43) Date of publication of application : 02. 05. 1995

(51) Int. Cl. G01R 19/00

G05F 1/56

G05F 3/26

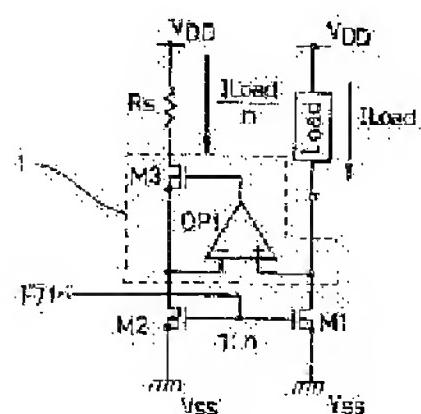
H03F 3/343

H03F 3/345

(21) Application number : 05-281961 (71) Applicant : NIPPON MOTOROLA LTD

(22) Date of filing : 15. 10. 1993 (72) Inventor : OKADA KOTARO
UCHIUMI SHUNICHI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT APPARATUS FOR DETECTING LOAD CURRENT WITHOUT LOSS



(57) Abstract:

PURPOSE: To detect a load current with an excellent accuracy without any loss and without interposing a sense resistance on a course of the load current and to switch a gain easily in accordance with a size of the load current when the load current is to be detected.

CONSTITUTION: There are provided a power MOS. FETM1 for controlling a load current, a power MOS. FETM2 for sensing a current which reflects a

current running in the FETM1 to a small current with a constant ratio, and a feedback circuit 1 for making a terminal voltage at the FETM1 and FETM2 constant. A current is detected by the FETM2. Moreover, a current, mirror circuit for reflecting a current running in the power MOS. FETM2 to a small current with a constant ratio and a switch for turning OFF/ON part of the current mirror circuit so as to vary the constant ratio are further set in the apparatus, so that a gain of a detecting current is switchable.

LEGAL STATUS

[Date of request for examination] 23. 10. 1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3080823

[Date of registration] 23. 06. 2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JP0 and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Semiconductor integrated circuit equipment which detects the

load current characterized by to have a feedback circuit for making regularity terminal voltage of the power and MOS-FET for controlling the load current (M1), the power, MOS and FET for current sense (M2) which carry out the mirror of the current which flows to this power and MOS-FET (M1) to a small current by the fixed ratio, and these two power and MOS-FET in intelligent power and MOS-IC by no losing.

[Claim 2] Semiconductor integrated circuit equipment which detects the load current characterized by forming the current Miller circuit which carries out the mirror of the current which flows to the power and MOS-FET for current sense (M2) to a small current by the still more fixed ratio in the semiconductor integrated circuit equipment of claim 1, and the switch which turns on and off said a part of current Miller circuit in order to make the ratio concerned adjustable by no losing.

[Translation done.]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor integrated circuit equipment which detects the load current by no losing in intelligent power and MOS-IC. The semiconductor integrated circuit equipment of this invention is applicable to the driver IC for driving a load by the change of for example, three-phase-circuit spindle Motor Driver for hard disk drives (HDD), voice coil Motor Driver, other power, and MOS-IC etc.

[0002]

[Description of the Prior Art] For example, as a means to detect the current which flows for loads, such as a motor, the equipment shown in drawing 7 or drawing 8 is known conventionally. It is the accurate sense

resistance R_s on the path by the side of the ground of the load current I_{Load} which flows for a load (Load) with the equipment of drawing 7 . It inserts and they are the electrical potential differences $VRSH$ and $VRSL$ of the both ends. By taking out, it is $I_{Load} = (VRSH - VRSL)/R_s$. The load current I_{Load} is detected based on a formula. VDD is supply voltage.

[0003] The equipment of drawing 8 is the sense resistance R_s . It prepared on the path by the side of supply voltage VDD , and also is the same configuration as the equipment of drawing 7 . In these drawing 7 and drawing 8 , $M1$ shows N channel power and MOS-FET, and this power and MOS-FET ($M1$) are built in the intelligent power and MOS-IC for controlling the ON / OFF, or size of a current which flows for a load (Load).

[0004] The equipment which shows the load current to drawing 9 on the other hand as equipment detected by no losing is known. The equipment of this drawing 9 is called SENSEFET (trade name of Motorola), power and MOS-FET (F) are divided into the power section $F1$ and the sense section $F2$, and the on resistance of the sense section $F2$ and the on resistance of the power section $F1$ are connected by the fixed ratio. Therefore, if SENSEFET (F) carries out a turn-on, it is divided in inverse proportion to the on resistance of the sense section $F2$, and the on resistance of the power section $F1$, and the flow of a current is the sense current (mirror current) IM . Source current IS It becomes a ratio and appears. Source current IS Sense current IM Since a ratio is prescribed by current mirror ratio n and this n is usually considered as the order of 1000 to 1, the load current is almost equal to source current IS , and current mirror ratio n is also the load current and the sense current IM . It becomes a thing reflecting a ratio.

[0005] Therefore, the known part of the load current is the power sense resistance RS like drawing 7 or drawing 8 by connecting the sense resistance R between the mirror terminal 91 and a grounding terminal. Current detection can be carried out without producing big electrical-potential-difference loss like [when using it]. The current which will be detected if this sense resistance R is 10% or less of the on resistance of the sense section $F2$ becomes load current / current mirror ratio, i.e., I_{Load}/n , mostly. 92 is a source terminal.

[0006]

[Problem(s) to be Solved by the Invention] However, although to impress sufficient electrical potential difference for the both ends of the load is needed with the conventional equipment of drawing 7 or drawing 8 in order to drive a load (Load) at high effectiveness, it is the power sense resistance RS . Loss for the voltage drop which can be set arises

and there is a problem that the effectiveness which drives a load will fall. When you want to take especially the case where supply voltage VDD is a low battery, and the large load current I_{Load} , or when it is the both, it is the power sense resistance RS . Since the rate that electrical-potential-difference loss occupies becomes large, decline in load drive effectiveness may become remarkable, and the drive of it may become impossible depending on the engine performance of a load.

[0007] On the other hand, although it is necessary with the equipment of drawing 9 to make sense resistance R small enough with 10% or less of the on resistance of the sense section F2 in order to make current mirror ratio n exact therefore, there is a problem of the sense electrical potential difference in which ejection is possible becoming small, and being hard to detect. On the contrary, although it is necessary to enlarge sense resistance R if it is going to take out a sense electrical potential difference big enough, there is a problem from which current mirror ratio n becomes incorrectness in this case.

[0008] moreover, the case where he wants to change gain according to the magnitude of the load current at the time of rotation starting and stationary rotation which is alike, respectively and flows in order to pass the bigger load current than the time of stationary rotation at the time of rotation starting, in driving a motor with the equipment of drawing 7 or drawing 8 in case the load current is changed and detected on an electrical potential difference -- power sense resistance RS It is necessary to change and there is also a problem that where of a degree of freedom is low. There is same problem also in the equipment of drawing 9 .

[0009] Then, the 1st purpose of this invention is to offer the semiconductor integrated circuit equipment which can detect the load current with a sufficient precision by no losing, without inserting sense resistance on the path of the load current. In case the 2nd purpose of this invention detects the load current, it is to offer the semiconductor integrated circuit equipment which can change gain easily according to the magnitude of the load current.

[0010]

[Means for Solving the Problem] The semiconductor integrated circuit equipment of claim 1 is characterized by having a feedback circuit for making regularity terminal voltage of the power, MOS and FET for controlling the load current (M1), the power, MOS and FET for current sense (M2) which carry out the mirror of the current which flows to this power, MOS, and FET (M1) to a small current by the fixed ratio, and these two power, MOSS and FET in intelligent power and MOS-IC.

[0011] The semiconductor integrated circuit equipment of claim 2 is characterized by forming the current Miller circuit which carries out the mirror of the current which flows to the power and MOS-FET for current sense (M2) to a small current by the still more fixed ratio, and the switch which turns on and off said a part of current Miller circuit in order to make the ratio concerned adjustable in claim 1.

[0012]

[Function] With the equipment of claim 1, terminal voltage of two power and MOS-FET (M1, M2) is fixed-sized by the feedback circuit. Therefore, the current by which a mirror is carried out to the power and MOS-FET for current sense (M2) from the power and MOS-FET for load current control (M1) is determined by high degree of accuracy by the size ratio (n to 1) of FET (M1) and FET (M2), and the small current of the ILoad load currents $1/n$ flows to stability at FET (M2). Therefore, resistance is enough for the current path of this FET (M2), and in case the power sense resistance with a high detection precision is inserted and a current is detected, the power loss in power sense resistance can be controlled small. Moreover, since it is not necessary to insert power sense resistance in the power and MOS-FET for load current control (M1), loss of the electrical potential difference impressed to the both ends of a load is small.

[0013] With the equipment of claim 2, by turning on and off a part of current Miller circuit with a switch, the mirror of the current which flows to the power and MOS-FET for current sense (M2) can be carried out to the small current of a further different ratio, and current detection can be performed. When it follows, for example, the load current changes a lot according to the condition of a load like a motor, high degree of accuracy can detect the load current by the gain corresponding to the magnitude of the load current which changed.

[0014]

[Example] Drawing 1 shows the example of this invention corresponding to claim 1, and is an example of semiconductor integrated circuit equipment which detects the load current by no losing in intelligent power, MOS, and IC. The power and MOS-FET for controlling the load current ILoad (M1) are inserted in the ground side of a load (Load), and common gate connection of the power, MOS, and FET for current sense (M2) which carries out the mirror of the load current ILoad which flows to this FET (M1) to a small current by the fixed ratio is made. Each FET (M1) and FET (M2) of this example are n channel MOS FET, and a property approximates them. Moreover, the size ratio of M1 and M2 is n to 1, and is 1000 to 1 in an example.

[0015] A feedback circuit 1 is constituted by an operational amplifier OP1 and MOS-FET (M3), and terminal voltage (electrical potential difference between the drain sources) of two FET (M1, M2) is fixed-sized by this feedback circuit 1. That is, the non-inversed input terminal of an operational amplifier OP1 is connected to the drain of FET (M1), an inversed input terminal is connected to the drain of FET (M2), and the output terminal is connected to the gate of FET (M3). It connects with the drain of FET (M2), and the source of this FET (M3) is the power sense resistance RS to the supply voltage VDD side of FET (M3). It is inserted. In this feedback circuit 1, it is controlled so that the electrical potential difference of the non-inversed input terminal of an operational amplifier OP1 and the electrical potential difference of an inversed input terminal become always fixed.

[0016] Next, an operation of the equipment of drawing 1 is explained. When operating in a linear field and the current type of MOSFET generally operates in the one following and a saturation region, it is shown by the two following.

[0017]

[Equation 1]

$$\text{リニア領域 } I_{DS} = \frac{\beta}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

[0018]

[Equation 2]

$$\text{飽和領域 } I_{DS} = \frac{\beta}{2} \frac{W}{L} (V_{GS} - V_{th})^2$$

Here, IDS is the drain source current, beta is a structure factor, in the die length of a channel, and VGS, the electrical potential difference between the gate sources and Vth show a threshold electrical potential difference, and, as for $\mu e \epsilon/d$ (in μe , mobility and ϵ show the dielectric constant of an insulator and d shows the thickness of an insulator.), and W, VDS shows [the width of face of a channel, and L] the electrical potential difference between the drain sources.

[0019] When carrying out the mirror of the current which flows to a certain MOS-FET to another MOS-FET using the current Miller circuit known from the former, in order that MOS and FET may operate in a saturation region, according to two above, it is well known for the current type that the mirror of the current will be carried out by the

ratio of W/L between two MOS-FET, without being influenced of VDS.

[0020] However, in carrying out the mirror of the current which flows to a certain power and MOS-FET to another power and MOS-FET, since on resistance is designed small, usually power and MOS-FET will be farther [VGS / than VDS] large, and will operate in a linear field, and the current type follows one above. That is, IDS is influenced of VDS and the relational expression of a current which flows FET (M1) and FET (M2) of drawing 1 becomes like [with the three following] from one above.

[0021]

[Equation 3]

$$I_{DS}(M2) = I_{DS}(M1) \times \frac{\left[\frac{W}{L} \right]_{M2} \cdot v_{DS}(M2) \{ (v_{GS}-v_{th}) - \frac{v_{DS}(M2)}{2} \}}{\left[\frac{W}{L} \right]_{M1} \cdot v_{DS}(M1) \{ (v_{GS}-v_{th}) - \frac{v_{DS}(M1)}{2} \}}$$

If it is made for VDS (M2) of VDS (M1) and FET (M2) of several 3 to this FET (M1) to become equal ($VDS(M1) = VDS(M2)$), the mirror of the current can be carried out by the ratio of W/L of FET (M1), and W/L of FET (M2). Therefore, if the size ratio of FET (M1) and FET (M2) is n to 1 when VDS of FET (M1) and FET (M2) is always made equal, applying feedback by the feedback circuit 1 which consists of operational amplifiers OP1 and MOSFET (M3), the current of the ILoad load currents $1/n$ of FET (M1) will flow to stability at the FET (M2) side.

[0022] FET for current sense (M2) can detect the load current ILoad with high degree of accuracy, without according to the example shown in drawing 1 as mentioned above, producing loss of the electrical potential difference impressed to the both ends of a load, since it is not necessary to insert power sense resistance on the current path of a load (Load). And power sense resistance RS of resistance sufficient in order to raise detection precision to the current path of FET (M2) Since the currents which flow to FET (M2) are $1/n$ of the load current, and a small current even if it inserts, it is the power sense resistance RS. Loss of the power to depend is also controlled small.

[0023] Drawing 2 showed other examples corresponding to claim 1, and inserted FET (M1) and FET (M2) in the supply voltage VDD side in this example, and also it is equivalent to the example of drawing 1 . Thus, even if it inserts FET (M1) and FET (M2) in a supply voltage VDD side, the same operation effectiveness as the example shown in drawing 1 is done so.

[0024] Drawing 3 shows the example of this invention corresponding to claim 2, and is an example of semiconductor integrated circuit equipment which detects the load current by no losing in intelligent power, MOS, and IC. This example adds current Miller circuit 2 which carries out the mirror of the current which flows to the power and MOS-FET for current sense (M2) to a small current by the still more fixed ratio, and the switch 3 which turns on and off a part of current Miller circuit 2 in order to make the ratio concerned adjustable in the example of drawing 1.

[0025] Current Miller circuit 2 of this example is conventionally constituted using well-known current Miller circuit. Namely, a p channel MOS and FET (M4) are inserted on the current path of the power and MOS-FET for current sense (M2). Common gate connection of the p channel MOS, FET (M5), and the p channel MOS and FET (M6) for carrying out the mirror of the current which flows to this FET (M4) to a small current by the still more fixed ratio is made at FET (M4), respectively. Common drain connection of FET (M5) and FET (M6) is made. And the transfer gate TG 1 which constitutes a switch 3 is inserted on the drain current path of FET (M6). This transfer gate TG 1 is for carrying out on-off control of FET (M6) with a gain control signal. In addition, G1 is the gate. Moreover, power sense resistance RS It is inserted on the drain current path of FET (M5).

[0026] In this example, since the switch 3 for making adjustable current Miller circuit 2 which carries out a mirror to a small current by the still more fixed ratio, and the ratio concerned is added, current mirror ratio can be changed by carrying out on-off control of the switch 3 with a gain control signal. Therefore, although the degree of freedom of the amount of current detection is restricted in the example of drawing 1, the degree of freedom of the amount of current detection is large in this example, therefore it is the power sense resistance RS. When the load current changes a lot, without exchanging or changing, high degree of accuracy can detect the load current by the gain corresponding to the magnitude of the load current which changed.

[0027] Especially this example does remarkable effectiveness so, when applying to the intelligent power and MOS-IC used for spindle Motor Driver for hard disk drives (HDD), or voice coil Motor Driver. That is, since the small load current is passed for the big load current at the time of stationary rotation of a sink and a motor at the time of rotation starting of a motor, at the time of rotation starting of a motor, a detection current can be small changed by current Miller circuit 2, and detection precision can be made high.

[0028] Drawing 4 shows other examples corresponding to claim 2, and this example adds current Miller circuit 2 and the switch 3 of drawing 3 to the example of drawing 2 . That is, it is the example which connected to the ground side of the power and MOS-FET for current sense (M2) FET (M4) which constitutes current Miller circuit. Also in the example of this drawing 4 , the same operation effectiveness as the example of drawing 3 is done so.

[0029] Drawing 5 is an example at the time of changing into a gate side the location which changes current mirror ratio in the example of drawing 3 . That is, although the change of current mirror ratio is performed by the drain side at drawing 3 , he is trying to change current mirror ratio by the gate side of FET (M5, M6) in this example using the two transfer gates (TG1, TG2) and gates G1. Also in this example, the same operation effectiveness as the example of drawing 3 is done so.

[0030] Drawing 6 is an example at the time of changing into a gate side the location which changes current mirror ratio in the example of drawing 4 . Also in this example, the same operation effectiveness as the example of drawing 4 is done so.

[0031] In addition, if the still more nearly same current Miller circuit is connected to multistage from drawing 3 in the example of drawing 6 to the current Miller circuit which consists of three FET (M4, M5, M6), the change number of stages of gain can be made to increase further.

[0032] As mentioned above, in this invention, although the example of this invention was explained, although current Miller circuit was constituted using current Miller circuit, current Miller circuit is not restricted when using current Miller circuit, but other alternative means can be used for it.

[0033]

[Effect of the Invention] According to this invention, the following effectiveness is done so.

(1) Since it is not necessary to insert power sense resistance on the current path of the power and MOS-FET for load current control (M1), loss of the electrical potential difference impressed to the both ends of a load is small.

(2) Since the current which flows to the power and MOS-FET for current sense (M2) is small, resistance is enough for this current path, and the power loss in the power sense resistance at the time of inserting the power sense resistance with a high detection precision, and carrying out current detection is small.

(3) In order to carry out the mirror of the load current to a path other

than the path of the load current and to take out a detection current, the degree of freedom which processes a detection current is high.

(4) Since the switch for making adjustable the current Miller circuit which carries out a mirror to a small current by the still more fixed ratio, and the ratio concerned is formed, the mirror of the current which flows to the power and MOS-FET for current sense (M2) is carried out to the small current of a different ratio and current detection is performed, it can change to the gain corresponding to the magnitude of the load current which changed when the load current changed a lot, and the load current can be detected with high degree of accuracy.

(5) Since size of the power and MOS-FET for load current control (M1) can be far enlarged rather than the size of the power and MOS-FET for current sense (M2), the power consumption in the power and MOS-FET for current sense (M2) is small.

[Translation done.]

* NOTICES *

JP0 and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the explanatory view of the example of this invention corresponding to claim 1.

[Drawing 2] It is the explanatory view of other examples of this invention corresponding to claim 1.

[Drawing 3] It is the explanatory view of the example of this invention corresponding to claim 2.

[Drawing 4] It is the explanatory view of other examples of this invention corresponding to claim 2.

[Drawing 5] It is the explanatory view of the example of further others of this invention corresponding to claim 2.

[Drawing 6] It is the explanatory view of the example of further others

of this invention corresponding to claim 2.

[Drawing 7] It is the explanatory view showing an example of conventional current detection equipment.

[Drawing 8] It is the explanatory view showing other examples of conventional current detection equipment.

[Drawing 9] It is the explanatory view showing the example of further others of conventional current detection equipment.

[Description of Notations]

M1 The power, MOS, and FET for controlling the load current

M2 The power, MOS, and FET for current sense

M3 MOS and FET

OP1 Operational amplifier

Load Load

1 Feedback Circuit

2 Current Miller Circuit

3 Switch

M4, M5, M6 MOS and FET

[Translation done.]

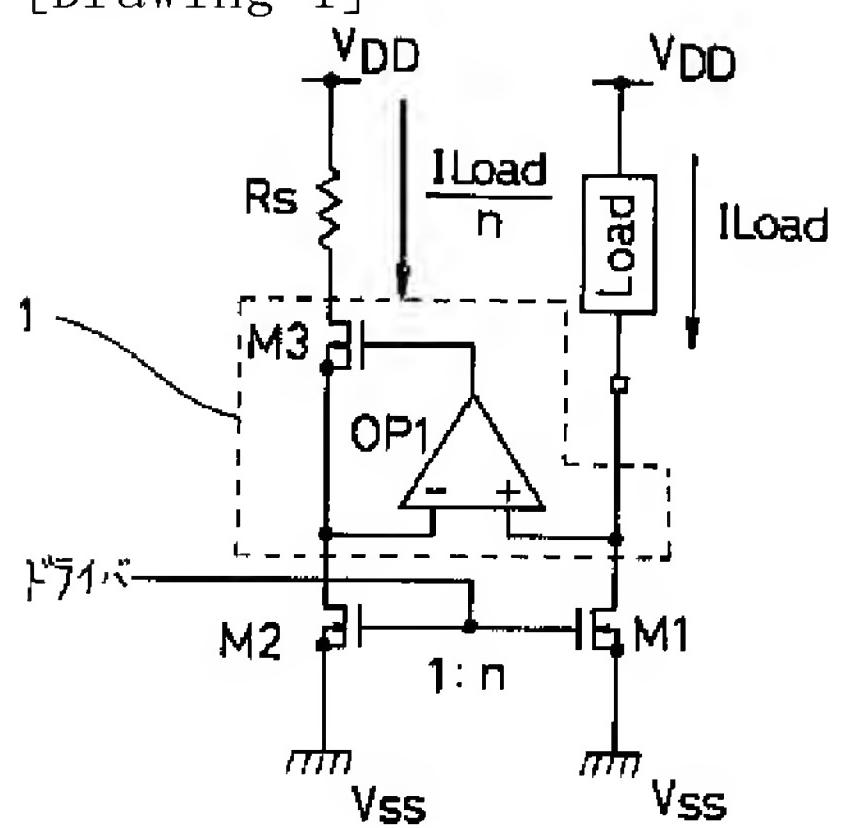
* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

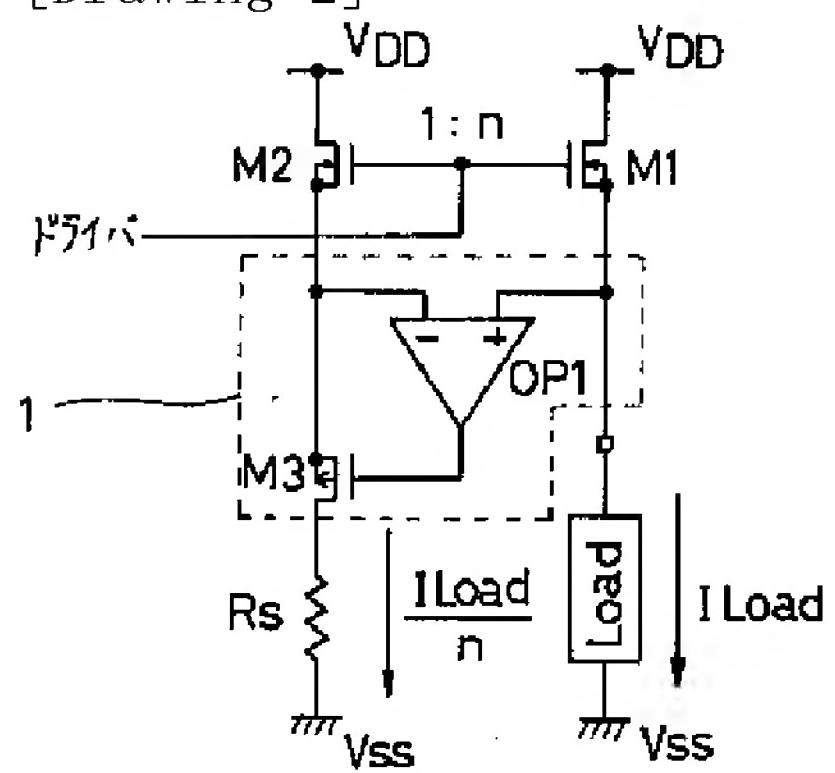
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

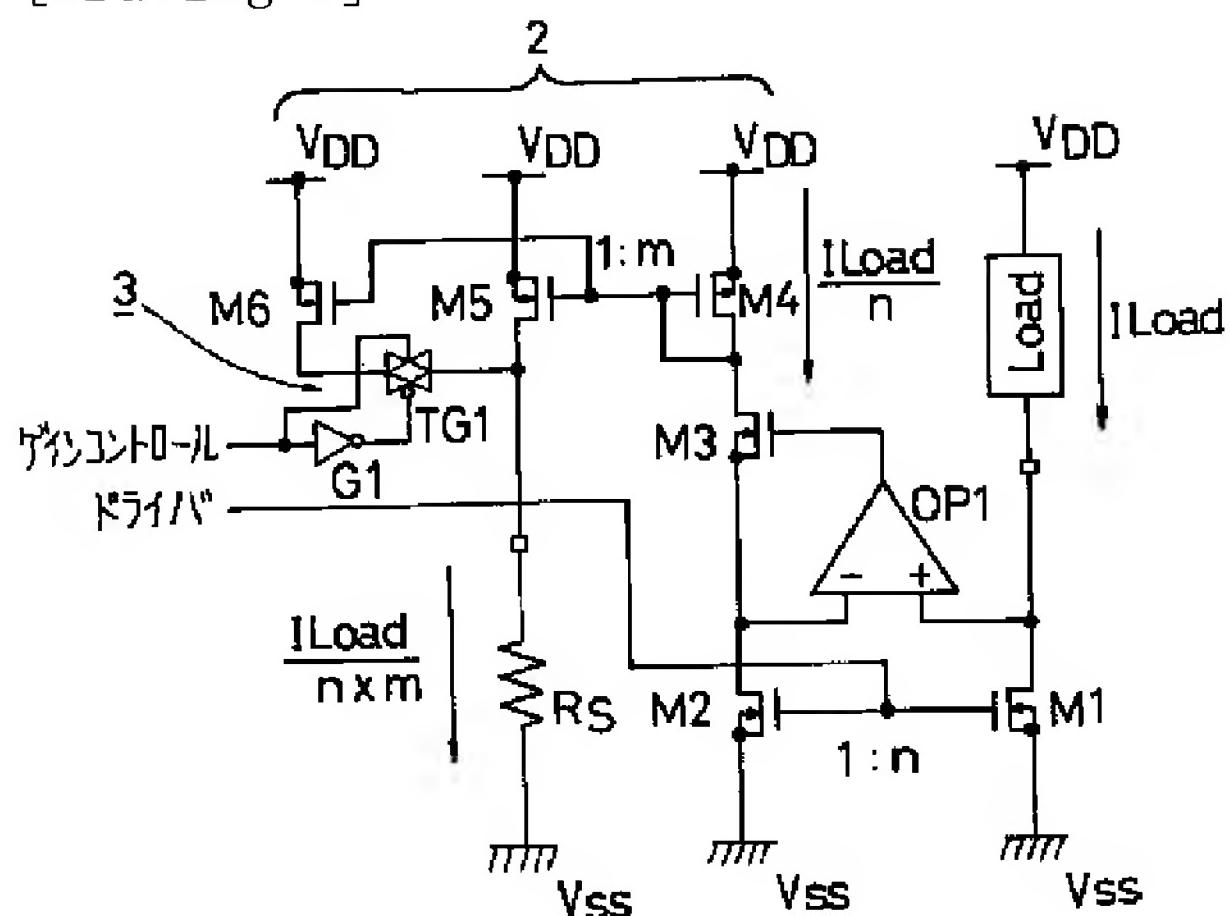
[Drawing 1]



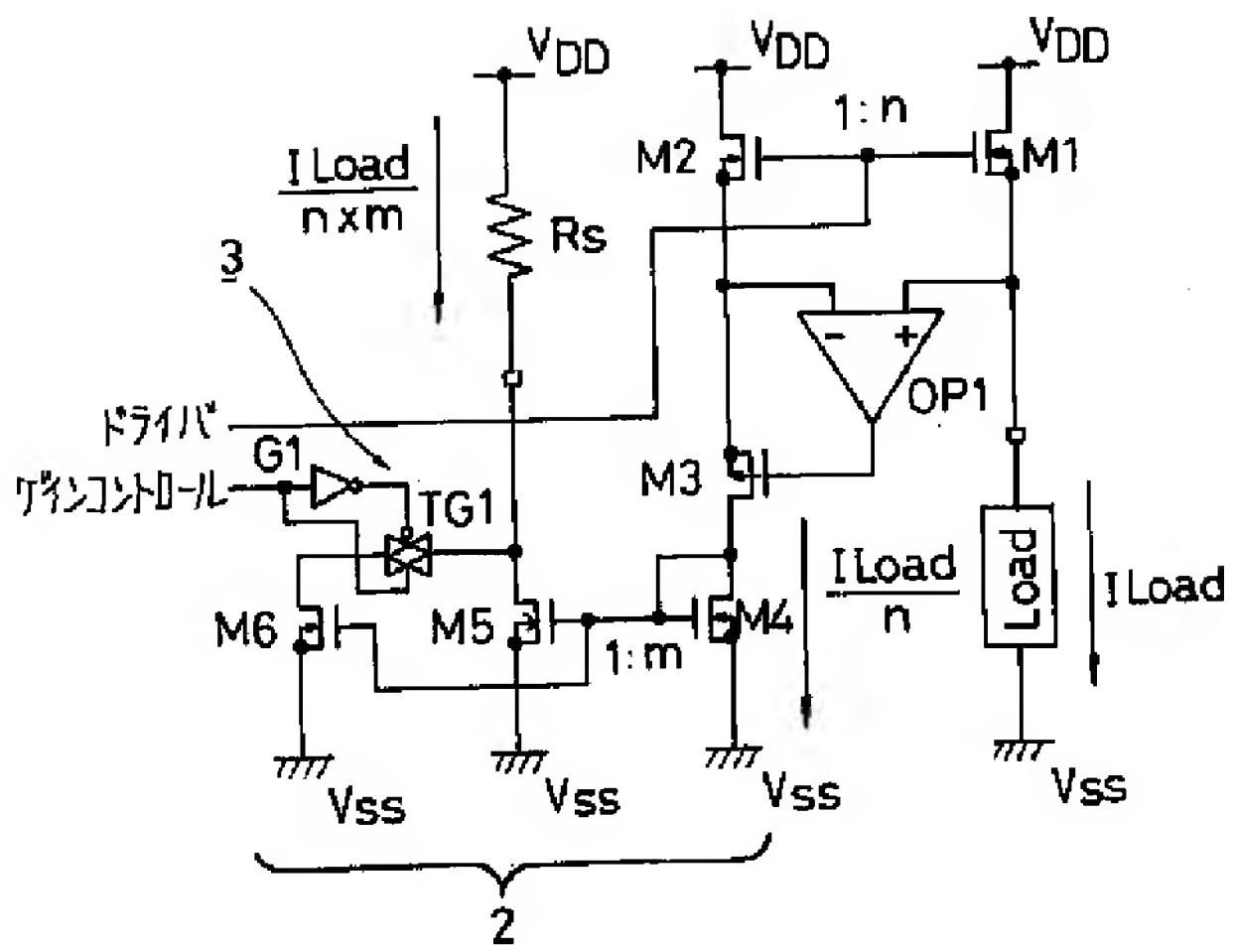
[Drawing 2]



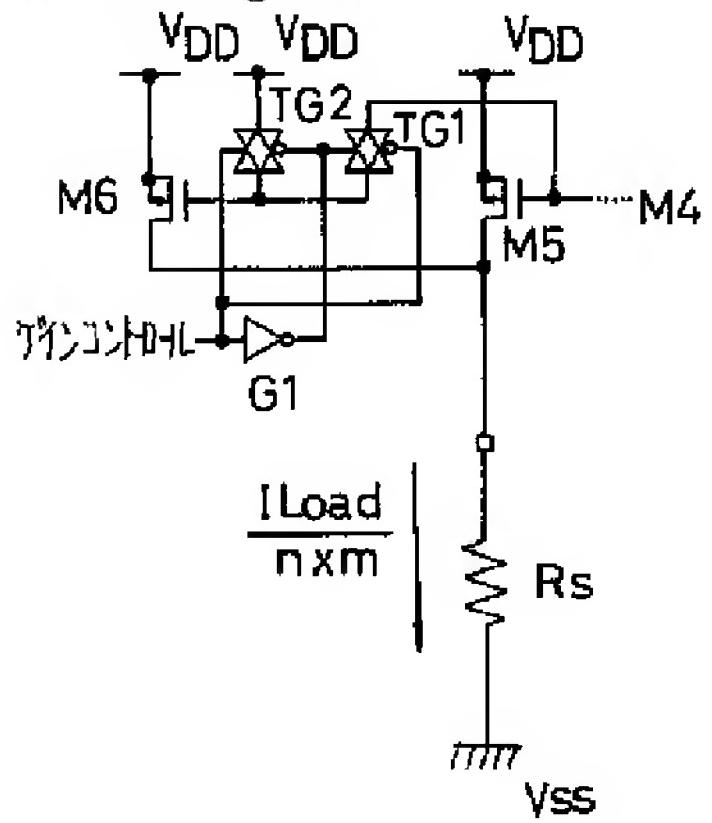
[Drawing 3]



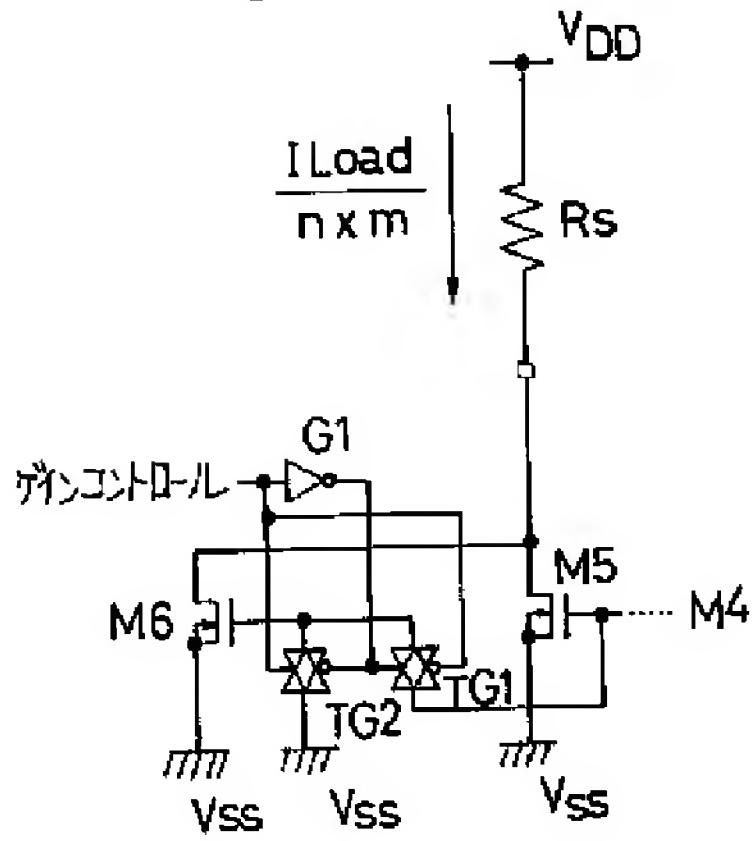
[Drawing 4]



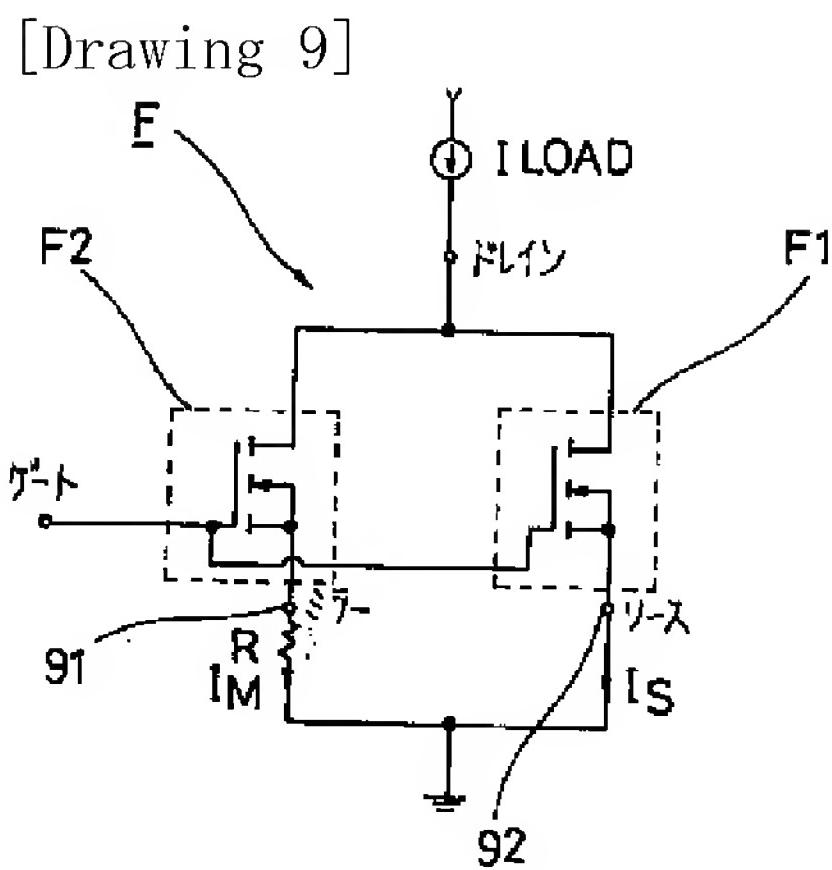
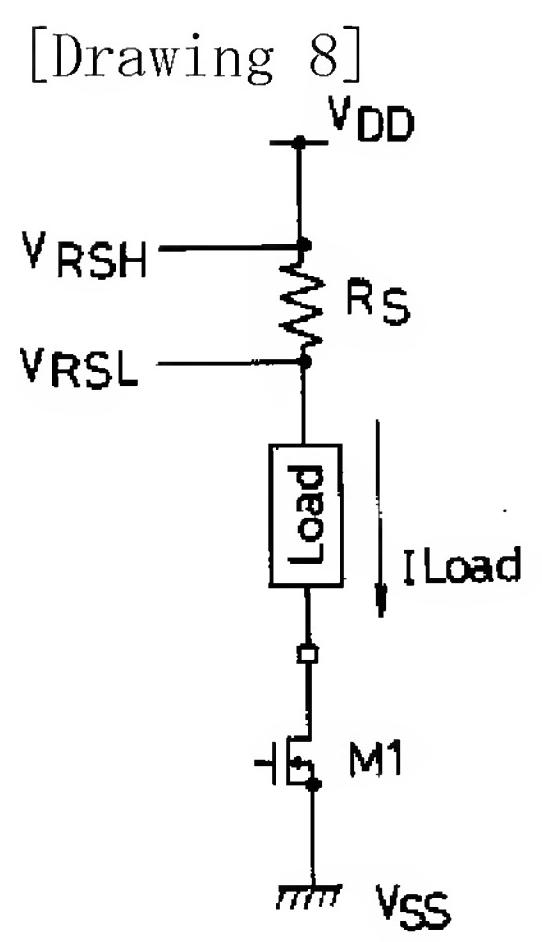
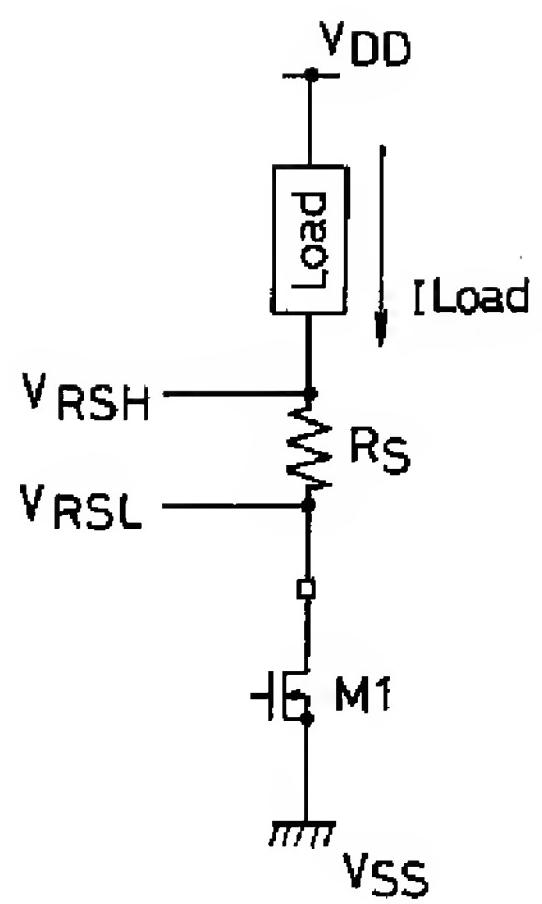
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-113826

(43)公開日 平成7年(1995)5月2日

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
G 01 R 19/00		B		
G 05 F 1/56	3 1 0	S		
	3/26		4237-5H	
H 03 F 3/343	A	8124-5 J		
3/345	B	8124-5 J		

審査請求 未請求 請求項の数 2 FD (全 6 頁)

(21)出願番号 特願平5-281961

(22)出願日 平成5年(1993)10月15日

(71)出願人 000230308

日本モトローラ株式会社

東京都港区南麻布3丁目20番1号

(72)発明者 岡田 耕太郎

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

(72)発明者 内海 俊一

東京都港区南麻布3丁目20番1号 日本モトローラ株式会社内

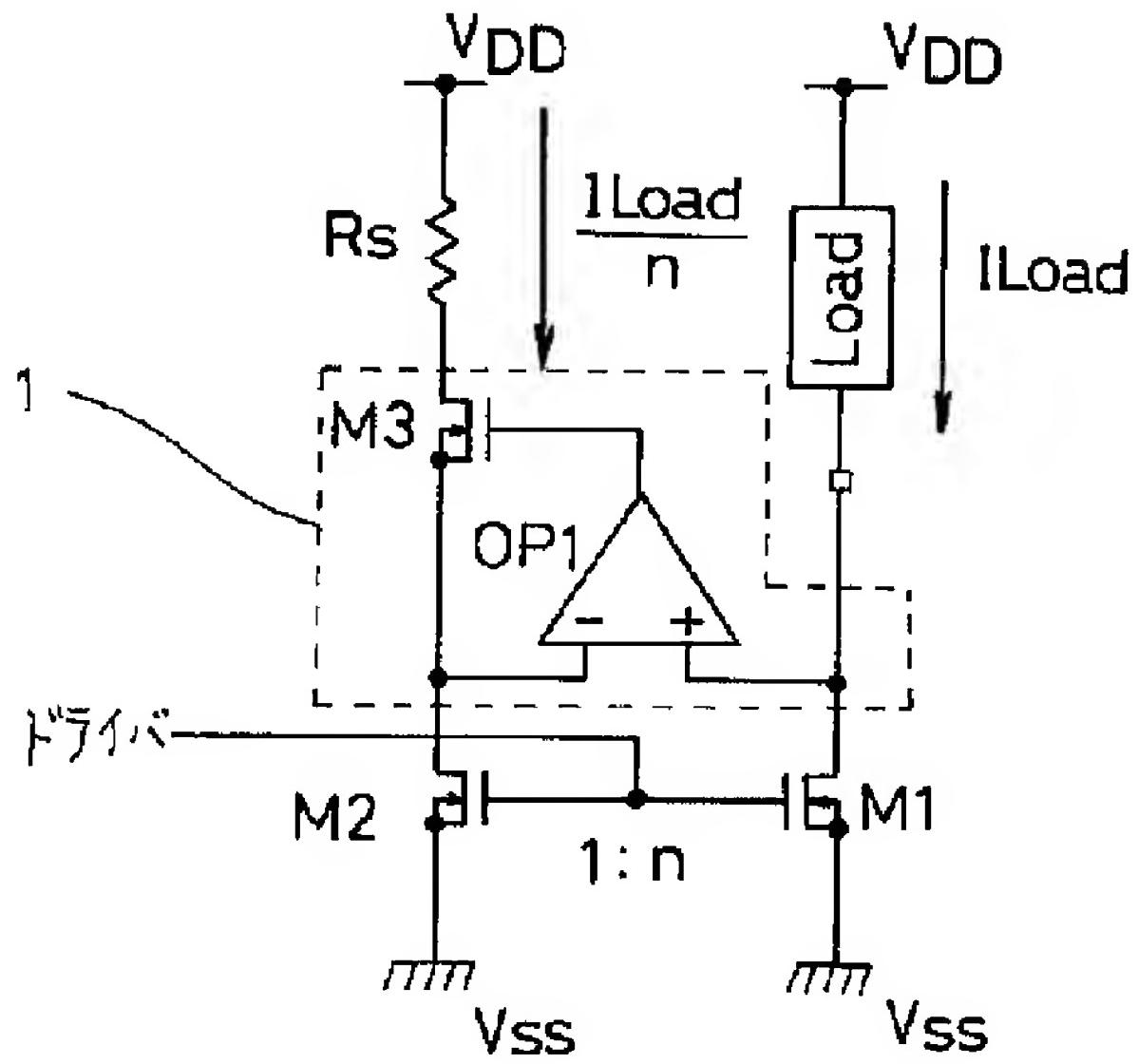
(74)代理人 弁理士 井上 俊夫

(54)【発明の名称】負荷電流を無損失で検出する半導体集積回路装置

(57)【要約】

【目的】負荷電流の経路上にセンス抵抗を介挿することなく、無損失で精度よく負荷電流を検出することができる。負荷電流を検出する際に負荷電流の大きさに応じてゲインを容易に切り替えることができる。

【構成】負荷電流制御用パワー・MOS・FET (M1) と、このFET (M1) に流れる電流を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) と、これら2つのFET (M1, M2) の端子電圧を一定にするためのフィードバック回路とを設けて、FET (M2) により電流検出する。電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラーリング回路と、当該比率を可変にするために電流ミラーリング回路の一部をオン・オフするスイッチとを設けて、検出電流のゲインを切り替え可能にする。



【特許請求の範囲】

【請求項1】 インテリジェント・パワー・MOS・ICにおいて、負荷電流を制御するためのパワー・MOS・FET (M1) と、このパワー・MOS・FET (M1) に流れる電流を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) と、これら2つのパワー・MOS・FETの端子電圧を一定にするためのフィードバック回路とを備えたことを特徴とする負荷電流を無損失で検出する半導体集積回路装置。

【請求項2】 請求項1の半導体集積回路装置において、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラーリング回路と、当該比率を可変にするために前記電流ミラーリング回路の一部をオン・オフするスイッチとを設けたことを特徴とする負荷電流を無損失で検出する半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、インテリジェント・パワー・MOS・ICにおいて、負荷電流を無損失で検出する半導体集積回路装置に関する。本発明の半導体集積回路装置は、例えばハードディスクドライブ (HDD) 用3相スピンドルモータドライバやボイスコイルモータドライバ、その他パワー・MOS・ICの切替えにより負荷を駆動するためのドライバIC等に適用することができる。

【0002】

【従来の技術】 例えばモータ等の負荷に流れる電流を検出する手段としては、従来、図7や図8に示す装置が知られている。図7の装置では、負荷 (Load) に流れる負荷電流 I_{Load} のアース側の経路上に精度の良いセンス抵抗 R_s を介挿し、その両端の電圧 V_{RSH} 、 V_{RSL} を取り出すことにより、 $I_{Load} = (V_{RSH} - V_{RSL}) / R_s$ の計算式に基づいて、負荷電流 I_{Load} を検出している。 V_{DD} は電源電圧である。

【0003】 図8の装置は、センス抵抗 R_s を電源電圧 V_{DD} 側の経路上に設けたほかは図7の装置と同様の構成である。これらの図7及び図8において、M1はNチャネル・パワー・MOS・FETを示し、このパワー・MOS・FET (M1) は、負荷 (Load) に流れる電流のオン/オフ又は大小を制御するためのインテリジェント・パワー・MOS・ICに内蔵される。

【0004】 一方、負荷電流を無損失で検出する装置としては、図9に示す装置が知られている。この図9の装置は、SENSE FET (モトローラ社の商品名) と称されるものであり、パワー・MOS・FET (F) がパワー部F1とセンス部F2に分割され、センス部F2のオン抵抗とパワー部F1のオン抵抗とが一定の比率で関係づけられている。そのため、SENSE FET (F) がターンオンすると、電流の流れはセンス部F2のオン

抵抗とパワー部F1のオン抵抗に反比例して分割され、センス電流 (ミラー電流) I_M とソース電流 I_S の比率となって現れる。ソース電流 I_S とセンス電流 I_M の比は、電流ミラーリング比nで規定され、このnは通常は100対1のオーダーとされるため、負荷電流はほぼソース電流 I_S に等しく、電流ミラーリング比nも負荷電流とセンス電流 I_M の比率を反映したものとなる。

【0005】 従って、センス抵抗 R をミラー端子91とアース端子間に接続することにより、負荷電流の既知部分は、図7や図8のようにパワー・センス抵抗 R_s を使用するときのような大きな電圧損失を生ずることなく電流検出することができる。このセンス抵抗 R がセンス部F2のオン抵抗の10%以下であれば検出される電流は、ほぼ負荷電流 ÷ 電流ミラーリング比、即ち I_{Load} / n となる。92はソース端子である。

【0006】

【発明が解決しようとする課題】 しかし、図7や図8の従来の装置では、負荷 (Load) を高い効率で駆動するためには、その負荷の両端に十分な電圧を印加することが必要とされるが、パワー・センス抵抗 R_s における電圧降下分の損失が生じ、負荷を駆動する効率が低下してしまうという問題がある。特に、電源電圧 V_{DD} が低電圧である場合や負荷電流 I_{Load} を大きくとりたい場合、又はその両方である場合には、パワー・センス抵抗 R_s での電圧損失の占める割合が大きくなるため、負荷駆動効率の低下が顕著となり、負荷の性能によっては駆動が不可能となる場合もある。

【0007】 一方、図9の装置では、電流ミラーリング比nを正確にするためには、センス抵抗 R をセンス部F2のオン抵抗の10%以下と十分に小さくする必要があるが、そのため取り出し可能なセンス電圧が小さくなり検出しづらいという問題がある。逆に、十分に大きなセンス電圧を取り出そうとすると、センス抵抗 R を大きくする必要があるが、この場合は電流ミラーリング比nが不正確になる問題がある。

【0008】 また、図7や図8の装置でモータをドライブする場合には、回転起動時には定常回転時よりも大きな負荷電流を流すため、負荷電流を電圧に変換して検出する際に回転起動時と定常回転時のそれぞれに流れる負荷電流の大きさに応じてゲインを変えたい場合に、パワー・センス抵抗 R_s を切り替える必要が生じ、自由度が低いという問題もある。図9の装置においても同様の問題がある。

【0009】 そこで、本発明の第1の目的は、負荷電流の経路上にセンス抵抗を介挿することなく、無損失で精度よく負荷電流を検出することができる半導体集積回路装置を提供することにある。本発明の第2の目的は、負荷電流を検出する際に負荷電流の大きさに応じてゲインを容易に切り替えることができる半導体集積回路装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1の半導体集積回路装置は、インテリジェント・パワー・MOS・ICにおいて、負荷電流を制御するためのパワー・MOS・FET (M1) と、このパワー・MOS・FET (M1) に流れる電流を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) と、これら2つのパワー・MOS・FETの端子電圧を一定にするためのフィードバック回路とを備えたことを特徴とする。

【0011】請求項2の半導体集積回路装置は、請求項1において、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラーリング回路と、当該比率を可変にするために前記電流ミラーリング回路の一部をオン・オフするスイッチとを設けたことを特徴とする。

【0012】

【作用】請求項1の装置では、フィードバック回路により2つのパワー・MOS・FET (M1, M2) の端子電圧が一定化される。従って、負荷電流制御用パワー・MOS・FET (M1) から電流センス用パワー・MOS・FET (M2) にミラーリングされる電流がFET (M1) とFET (M2) のサイズ比 (n 対1) で高精度で決定され、FET (M2) には負荷電流 I_{Load} の $1/n$ の小電流が安定に流れる。そのため、このFET (M2) の電流経路に抵抗が十分で検出精度の高いパワー・センス抵抗を介挿して電流を検出する際に、パワー・センス抵抗における電力損失を小さく抑制できる。また、負荷電流制御用パワー・MOS・FET (M1) にはパワー・センス抵抗を介挿する必要がないので、負荷の両端に印加される電圧の損失が小さい。

【0013】請求項2の装置では、スイッチにより電流ミラーリング回路の一部をオン・オフすることにより、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに異なる比率の小電流にミラーリングして電流検出を行うことができる。従って、例えばモータのように負荷の状態に応じて負荷電流が大きく変化する場合に、変化した負荷電流の大きさに対応したゲインで負荷電流を高精度で検出することができる。

【0014】

【実施例】図1は、請求項1に対応する本発明の実施例を示し、インテリジェント・パワー・MOS・ICにおいて、負荷電流を無損失で検出する半導体集積回路装置の一例である。負荷 (Load) のアース側に負荷電流 I_{Load} を制御するためのパワー・MOS・FET (M1) が介挿され、このFET (M1) に流れる負荷電流 I_{Load} を一定の比率で小電流にミラーする電流センス用パワー・MOS・FET (M2) がコモンゲート接続されている。この実施例のFET (M1) とFET (M2) は、いずれも n チャネルMOSFETであって特性が近似したものである。また、M1とM2のサイズ比は

n 対1であり、一例においては1000対1である。

【0015】オペアンプOP1とMOS・FET (M3) とによりフィードバック回路1が構成され、このフィードバック回路1により2つのFET (M1, M2) の端子電圧 (ドレイン・ソース間電圧) が一定化される。即ち、オペアンプOP1の非反転入力端子がFET (M1) のドレインに接続され、反転入力端子がFET (M2) のドレインに接続され、出力端子がFET (M3) のゲートに接続されている。このFET (M3) のソースはFET (M2) のドレインに接続され、FET (M3) の電源電圧 V_{DD} 側にパワー・センス抵抗 R_s が介挿されている。このフィードバック回路1においては、オペアンプOP1の非反転入力端子の電圧と反転入力端子の電圧が常に一定となるように制御される。

【0016】次に図1の装置の作用について説明する。MOSFETの電流式は、一般に、リニア領域で動作する場合は下記数1、飽和領域で動作する場合は下記数2で示される。

【0017】

【数1】

$$\text{リニア領域 } I_{DS} = \frac{\beta}{L} \left((V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

【0018】

【数2】

$$\text{飽和領域 } I_{DS} = \frac{\beta}{2L} (V_{GS} - V_{th})^2$$

ここで、 I_{DS} はドレイン・ソース電流、 β は構造係数であって $\mu \cdot \varepsilon / d$ (μ は移動度、 ε は絶縁体の誘電率、 d は絶縁体の厚さを示す。)、 W はチャネルの幅、 L はチャネルの長さ、 V_{GS} はゲート・ソース間電圧、 V_{th} はしきい値電圧、 V_{DS} はドレイン・ソース間電圧を示す。

【0019】従来から知られているカレントミラーリング回路を用いて、あるMOS・FETに流れる電流を別のMOS・FETにミラーリングする場合には、MOS・FETが飽和領域で動作するため電流式は上記数2に従い、 V_{DS} の影響を受けずに2つのMOS・FET間の W/L の比で電流がミラーリングされることはよく知られている。

【0020】ところが、あるパワー・MOS・FETに流れる電流を別のパワー・MOS・FETにミラーリングする場合には、パワー・MOS・FETはオン抵抗が小さく設計されるため、通常、 V_{GS} は V_{DS} よりもはるかに大きく、リニア領域で動作することになり電流式は上記数1に従っている。つまり、 I_{DS} は V_{DS} の影響を受けてしまい、図1のFET (M1) とFET (M2) を流れる電流の関係式は上記数1より、下記数3のようになる。

【0021】

【数3】

$$I_{DS}(M2) = I_{DS}(M1) \times \frac{\left[\frac{W}{L} \right]_{M2} \cdot V_{DS}(M2) \{ (V_{GS} - V_{th}) - \frac{V_{DS}(M2)}{2} \}}{\left[\frac{W}{L} \right]_{M1} \cdot V_{DS}(M1) \{ (V_{GS} - V_{th}) - \frac{V_{DS}(M1)}{2} \}}$$

この数3から、FET (M1) の V_{DS} (M1) とFET (M2) の V_{DS} (M2) とが等しくなるようにすれば (V_{DS} (M1) = V_{DS} (M2)) 、FET (M1) の W/L とFET (M2) の W/L の比で電流をミラーすることができる。従って、オペアンプOP1とMOSFET (M3) からなるフィードバック回路1によりフィードバックをかけてFET (M1) とFET (M2) の V_{DS} を常に等しくすると、FET (M1) とFET (M2) のサイズ比がn対1であれば、FET (M2) 側にFET (M1) の負荷電流 I_{Load} の $1/n$ の電流が安定に流れる。

【0022】以上のように図1に示した実施例によれば、負荷 (Load) の電流経路上にはパワー・センス抵抗を介挿する必要がないため、負荷の両端に印加される電圧の損失を生ずることなく、電流センス用FET (M2) により負荷電流 I_{Load} を高精度で検出することができる。しかも、FET (M2) の電流経路に検出精度を高めるために十分な抵抗のパワー・センス抵抗 R_s を介挿してもFET (M2) に流れる電流が負荷電流の $1/n$ と小電流であるため、パワー・センス抵抗 R_s による電力の損失も小さく抑制される。

【0023】図2は、請求項1に対応する他の実施例を示し、この例ではFET (M1) とFET (M2) を電源電圧 V_{DD} 側に介挿したほかは、図1の実施例と同等である。このようにFET (M1) とFET (M2) を電源電圧 V_{DD} 側に介挿しても図1に示した実施例と同様の作用効果が奏される。

【0024】図3は、請求項2に対応する本発明の実施例を示し、インテリジェント・パワー・MOS・ICにおいて、負荷電流を無損失で検出する半導体集積回路装置の一例である。この実施例は、図1の実施例において、電流センス用パワー・MOS・FET (M2) に流れる電流をさらに一定の比率で小電流にミラーする電流ミラー回路2と、当該比率を可変にするために電流ミラーアンプ回路2の一部をオン・オフするスイッチ3とを付加したものである。

【0025】この実施例の電流ミラー回路2は、従来公知のカレントミラー回路を利用して構成されている。即ち、pチャネルMOS・FET (M4) が電流センス用パワー・MOS・FET (M2) の電流経路上に介挿され、このFET (M4) に流れる電流をさらに一定の比

率で小電流にミラーするためのpチャネルMOS・FET (M5) 及びpチャネルMOS・FET (M6) がそれぞれFET (M4) にコモンゲート接続され、FET (M5) とFET (M6) とがコモンドレイン接続されている。そして、スイッチ3を構成するトランスマジックゲートTG1がFET (M6) のドレン電流経路上に介挿されている。このトランスマジックゲートTG1はゲインコントロール信号によりFET (M6) をオン・オフ制御するためのものである。なお、G1はゲートである。また、パワー・センス抵抗 R_s はFET (M5) のドレン電流経路上に介挿されている。

【0026】この実施例においては、さらに一定の比率で小電流にミラーする電流ミラー回路2と当該比率を可変にするためのスイッチ3を付加しているため、ゲインコントロール信号によりスイッチ3をオン・オフ制御することにより、電流ミラーレートを切り替えることができる。従って、図1の実施例では、電流検出量の自由度が制限されるが、この実施例では、電流検出量の自由度が大きく、そのため、パワー・センス抵抗 R_s を取り替えたり、切り替えたりすることをせずに、負荷電流が大きく変化する場合に、変化した負荷電流の大きさに対応したゲインで負荷電流を高精度で検出することができる。

【0027】この実施例は、特に、ハードディスクドライブ(HDD)用スピンドルモータドライバやボイスコイルモータドライバに使用されるインテリジェント・パワー・MOS・ICに適用する場合に顕著な効果を奏する。即ち、モータの回転起動時には大きな負荷電流を流し、モータの定常回転時には小さな負荷電流を流すため、電流ミラー回路2によりモータの回転起動時には検出電流を小さく切り替えて検出精度を高くすることができる。

【0028】図4は、請求項2に対応する他の実施例を示し、この例は、図2の実施例に対して図3の電流ミラー回路2及びスイッチ3を付加したものである。即ち、カレントミラー回路を構成するFET (M4) を電流センス用パワー・MOS・FET (M2) のアース側に接続した例である。この図4の実施例においても図3の実施例と同様の作用効果が奏される。

【0029】図5は、図3の実施例において電流ミラーレートを切り替える場所をゲート側に変更した場合の実施例である。即ち、図3では電流ミラーレートの切り替えはドレ

イン側で行っているが、この実施例では、2つのトランジスタ（T G 1、T G 2）とゲートG 1を用いて、F E T（M 5、M 6）のゲート側で電流ミラー比を切り替えるようにしている。この実施例においても図3の実施例と同様の作用効果が奏される。

【0030】図6は、図4の実施例において電流ミラー比を切り替える場所をゲート側に変更した場合の実施例である。この実施例においても図4の実施例と同様の作用効果が奏される。

【0031】なお、図3から図6の実施例において、3つのF E T（M 4、M 5、M 6）からなるカレントミラーハードルに対してさらに同様のカレントミラーハードルを多段に接続すれば、ゲインの切り替え段数をさらに増加させることができる。

【0032】以上、本発明の実施例について説明したが、本発明においては、カレントミラーハードルを用いて電流ミラーハードルを構成したが、電流ミラーハードルは、カレントミラーハードルを用いる場合に制限されず、他の代替手段を用いることができる。

【0033】

【発明の効果】本発明によれば、以下の効果が奏される。

(1) 負荷電流制御用パワー・MOS・FET（M 1）の電流経路上にはパワー・センス抵抗を介挿する必要がないので、負荷の両端に印加される電圧の損失が小さい。

(2) 電流センス用パワー・MOS・FET（M 2）に流れる電流が小さいので、この電流経路に抵抗が十分で検出精度の高いパワー・センス抵抗を介挿して電流検出する際のパワー・センス抵抗における電力損失が小さい。

(3) 負荷電流の経路とは別の経路に負荷電流をミラーハードルして検出電流を取り出すため、検出電流を処理する自由度が高い。

(4) さらに一定の比率で小電流にミラーハードルする電流ミラーハードルと当該比率を可変にするためのスイッチを設けて、電流センス用パワー・MOS・FET（M 2）に流れる電流を異なる比率の小電流にミラーハードルして電流検出を

行うので、負荷電流が大きく変化する場合に変化した負荷電流の大きさに対応したゲインに切り替えて負荷電流を高精度で検出することができる。

(5) 負荷電流制御用パワー・MOS・FET（M 1）のサイズを電流センス用パワー・MOS・FET（M 2）のサイズよりもはるかに大きくできるので、電流センス用パワー・MOS・FET（M 2）における消費電力は小さい。

【図面の簡単な説明】

10 【図1】請求項1に対応する本発明の実施例の説明図である。

【図2】請求項1に対応する本発明の他の実施例の説明図である。

【図3】請求項2に対応する本発明の実施例の説明図である。

【図4】請求項2に対応する本発明の他の実施例の説明図である。

【図5】請求項2に対応する本発明のさらに他の実施例の説明図である。

20 【図6】請求項2に対応する本発明のさらに他の実施例の説明図である。

【図7】従来の電流検出装置の一例を示す説明図である。

【図8】従来の電流検出装置の他の例を示す説明図である。

【図9】従来の電流検出装置のさらに他の例を示す説明図である。

【符号の説明】

M 1 負荷電流を制御するためのパワー・MOS・
30 FET

M 2 電流センス用パワー・MOS・FET

M 3 MOS・FET

O P 1 オペアンプ

L o a d 負荷

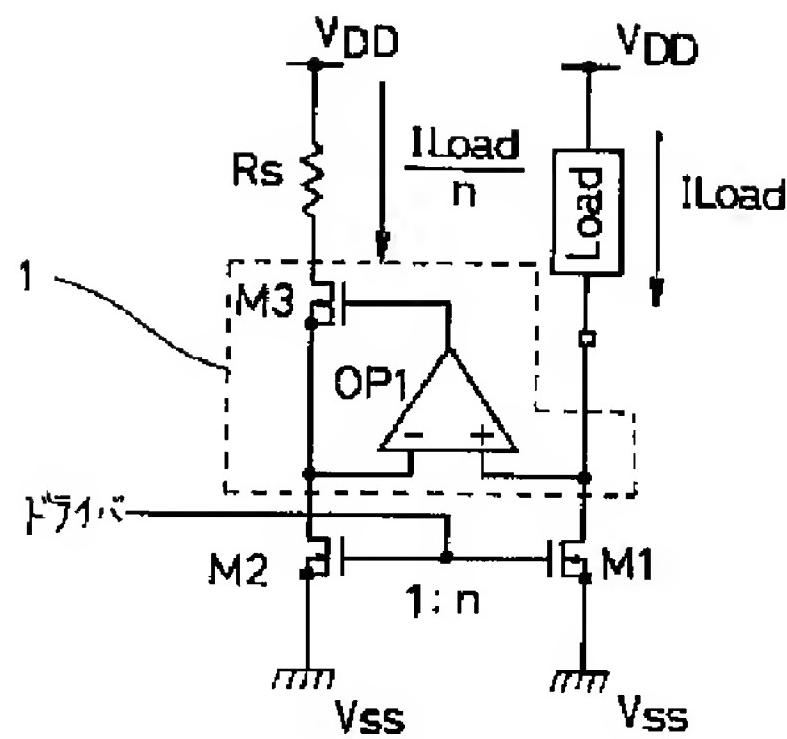
1 フィードバック回路

2 電流ミラーハードル

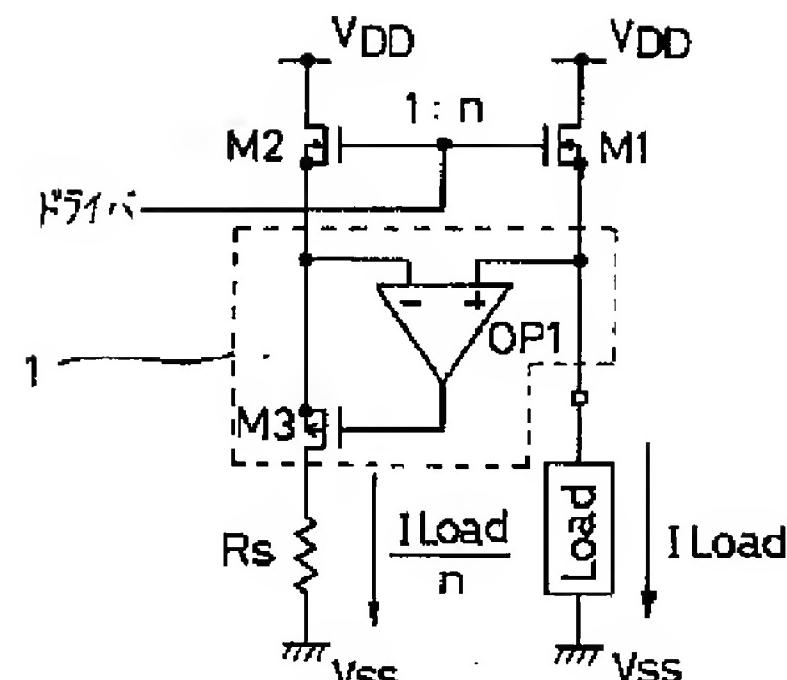
3 スイッチ

M 4、M 5、M 6 MOS・FET

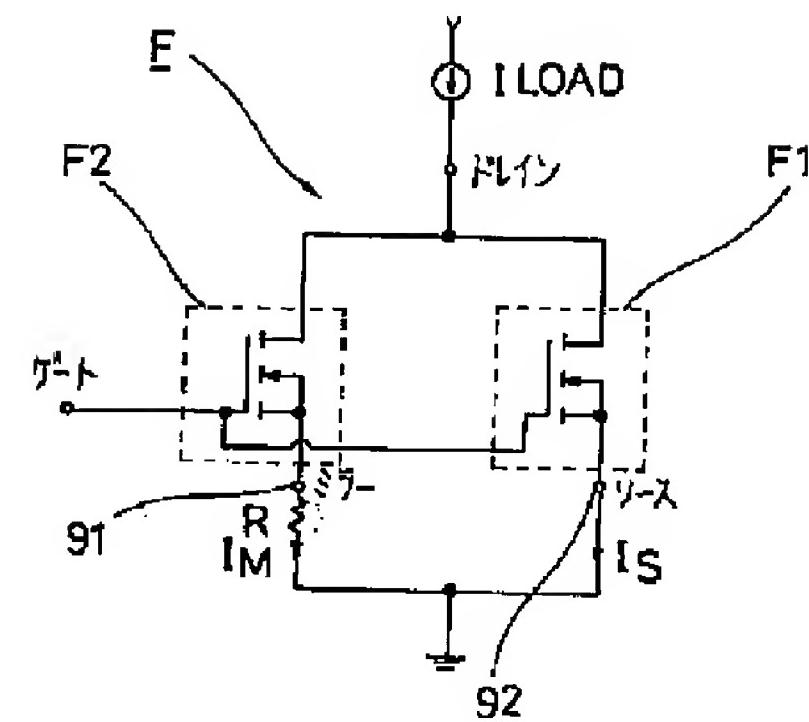
【図1】



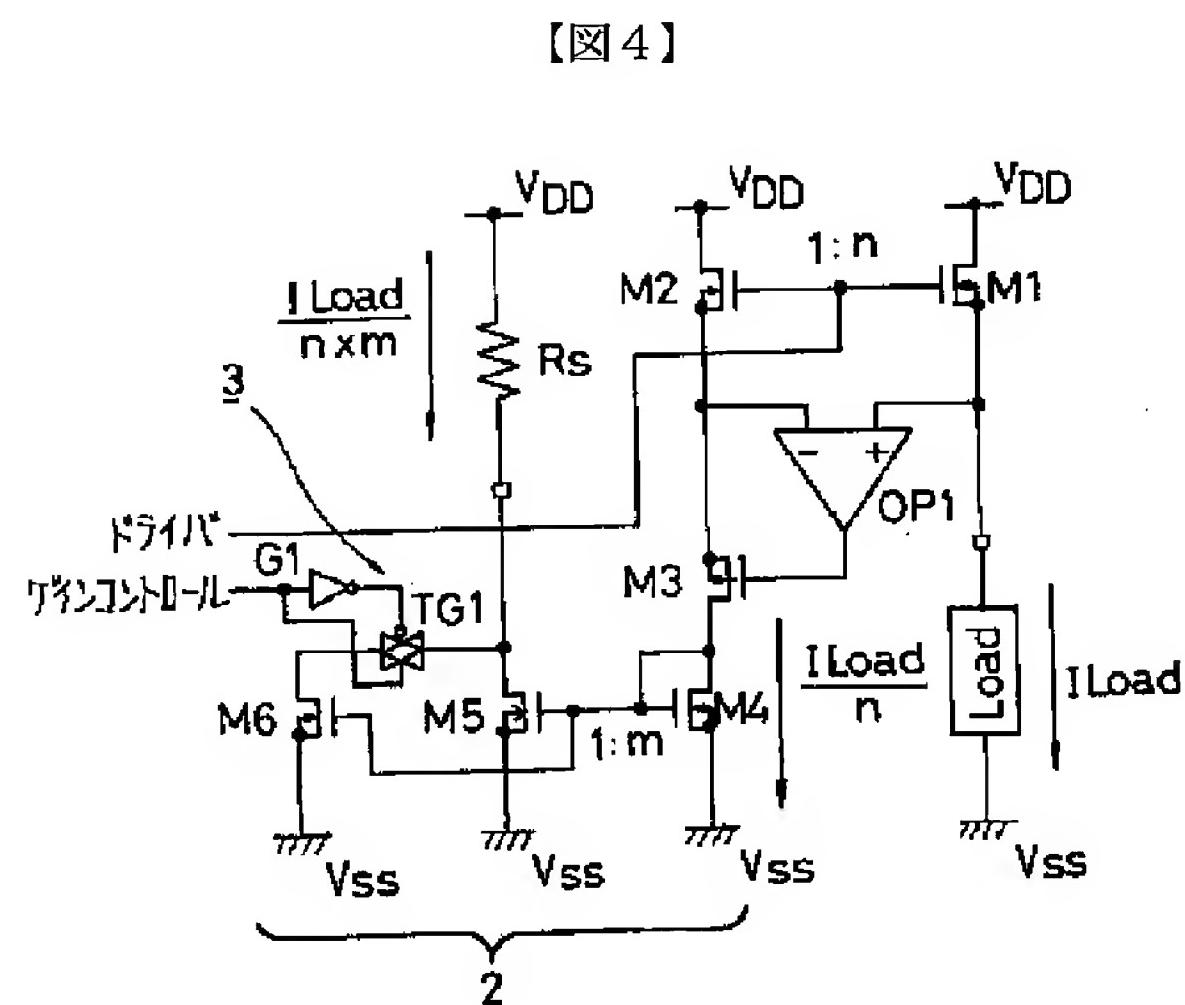
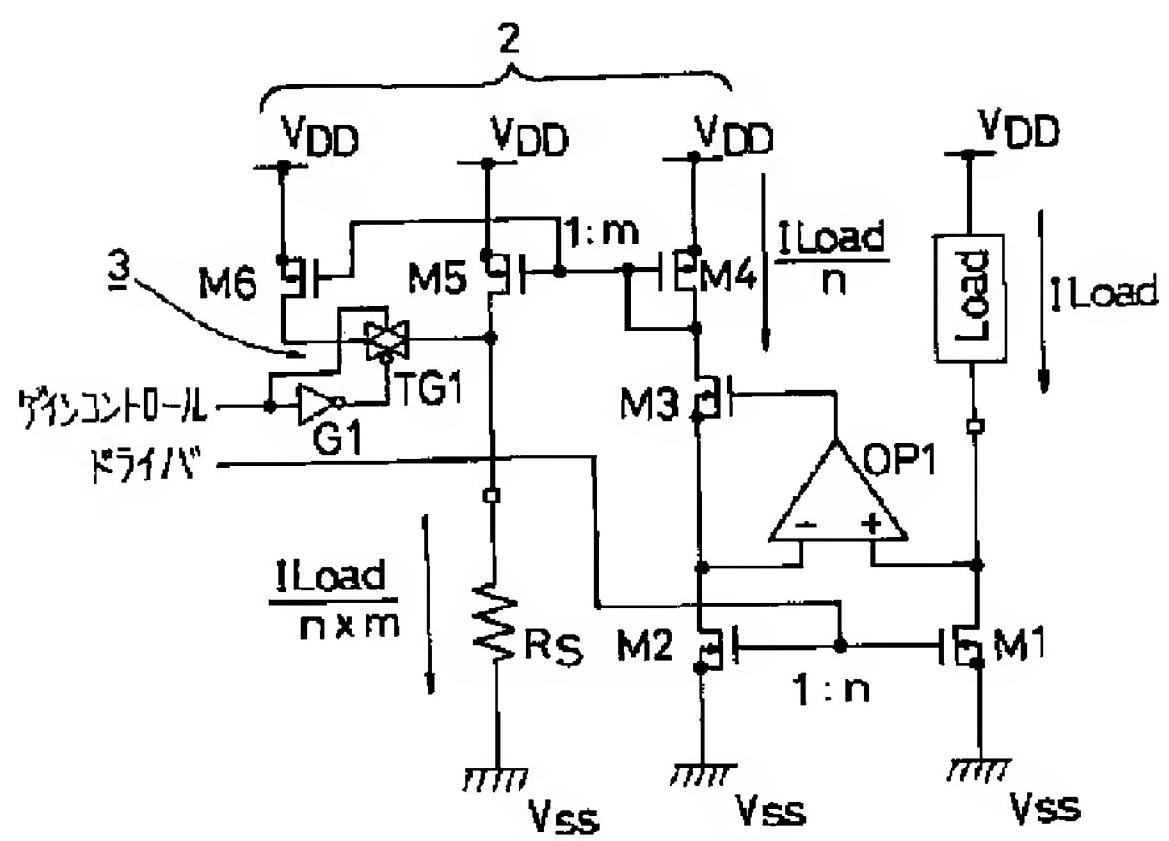
【図2】



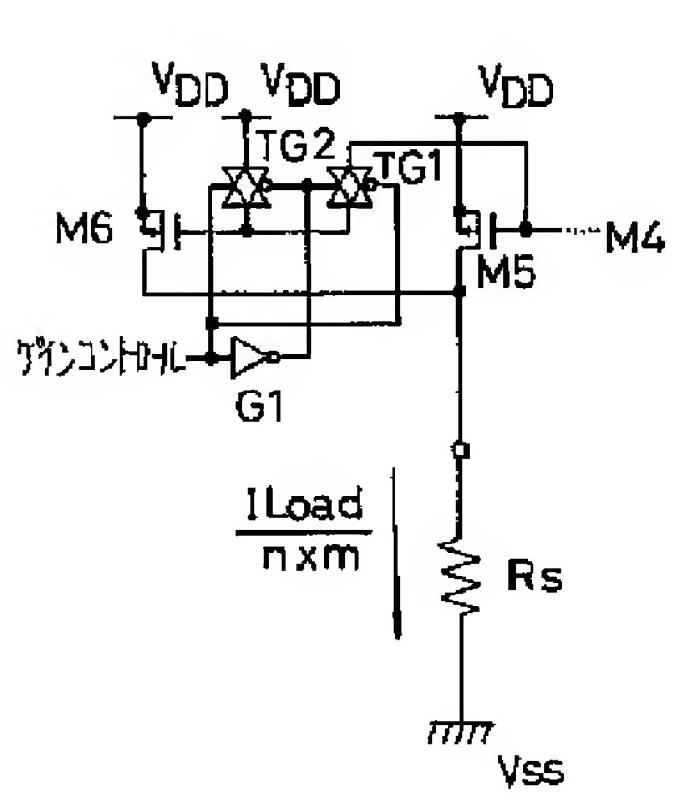
【図9】



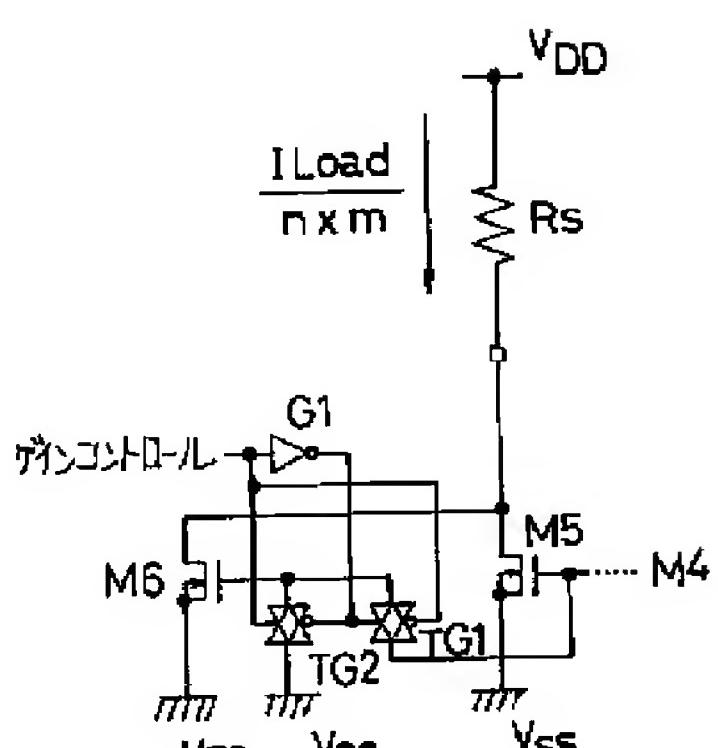
【図3】



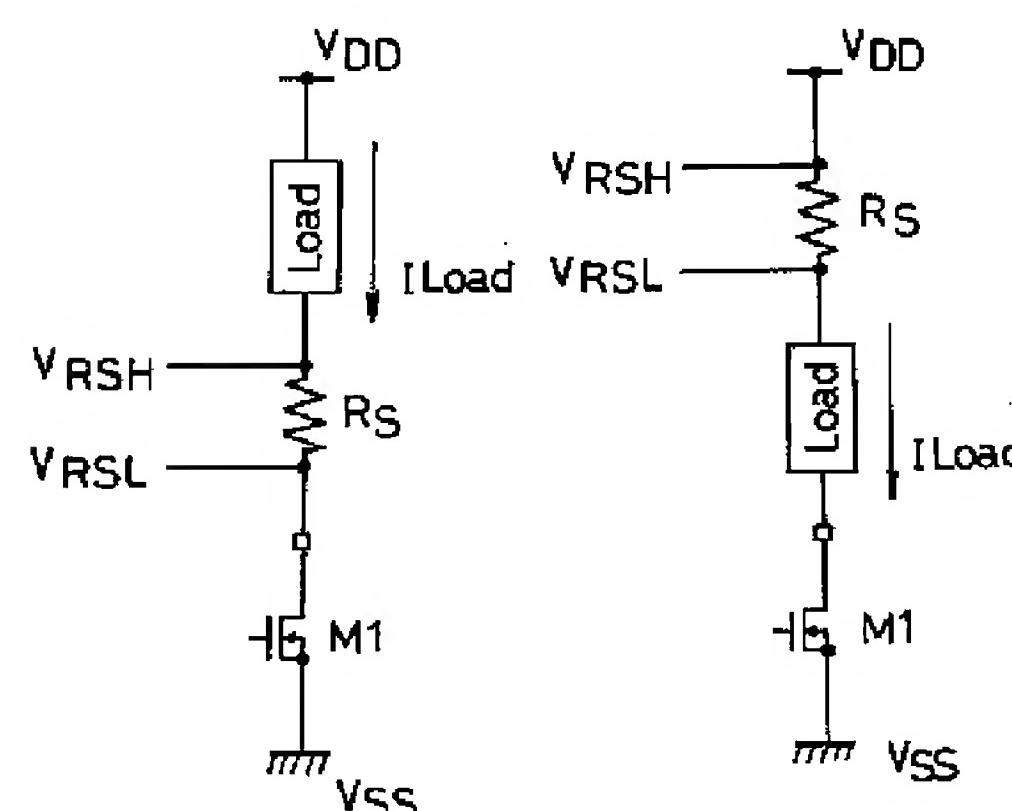
【図5】



【図6】



【図7】



【図8】

